

## MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP4-171940  
Publication date: 1992-06-19  
Inventor(s): FUSHIDA ATSUO  
Applicant(s): FUJITSU LTD  
Application Number: JP 1990 0 300 220 - 1990-11-06

---

### Abstract

---

**PURPOSE:** To reduce effective aspect ratio by leaving an Al, film or Al alloy film on the side walls of a contact hole and a viahole, and fusing and fluidizing said Al film or the like to fill the bottom parts of the contact hole and the via hole.

**CONSTITUTION:** In order to obtain more excellent contact between a TiN film 12 and an Al film 13, a new Ti film may be sandwiched between the films 12 and 13. In this case, the TiN film 12 and the new Ti film constitute a first intermediate conducting film. The Al film 13 is etched back so as to leave the TiN film 12 as a barrier conducting film, and an Al film 13a is left only on the side wall of an aperture part 10a. This device is moved in a heat treatment chamber without being in contact with the air, and heat-treated at 500-550 deg.C for 60 seconds, thereby fusing and fluidizing the Al film 13a. As the result, the film thickness is gradual decreased from the side wall to the bottom part of the aperture part 10a. An Al film 13b having a recess type section is buried.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-171940

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月19日

H 01 L 21/3205  
21/90

A

7353-4M  
7353-4M

H 01 L 21/88

K

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平2-300220

⑯ 出 願 平2(1990)11月6日

⑰ 発 明 者 伏 田 篤 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁 理 士 岡 本 啓 三

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板上の絶縁膜にコンタクトホールを形成する工程と、

前記コンタクトホールを被覆してA<sub>2</sub>膜又はA<sub>2</sub>合金膜を形成する工程と、

前記A<sub>2</sub>膜又はA<sub>2</sub>合金膜をエッチバックして前記コンタクトホールの側壁に前記A<sub>2</sub>膜又はA<sub>2</sub>合金膜を残存する工程と、

前記コンタクトホールの側壁に残存するA<sub>2</sub>膜又はA<sub>2</sub>合金膜を加熱により熔融・流動し、コンタクトホールの底部を埋める工程と、

前記コンタクトホールを被覆して新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜を形成する工程とを有する半導体装置の製造方法。

(2) 半導体基板上の絶縁膜にコンタクトホールを形成する工程と、

前記コンタクトホールを被覆してオーミック導

電膜と、バリア導電膜を含む第1の中間導電膜と、A<sub>2</sub>膜又はA<sub>2</sub>合金膜とを順次形成する工程と、

前記A<sub>2</sub>膜又はA<sub>2</sub>合金膜をエッチバックして前記コンタクトホールの側壁に前記A<sub>2</sub>膜又はA<sub>2</sub>合金膜を残存するとともに、前記コンタクトホールの底部に少なくとも前記バリア導電膜を残存する工程と、

前記コンタクトホールの側壁に残存するA<sub>2</sub>膜又はA<sub>2</sub>合金膜を加熱により熔融・流動し、前記コンタクトホールの底部を埋める工程と、

前記コンタクトホールを被覆して新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜を形成する工程とを有する半導体装置の製造方法。

(3) A<sub>2</sub>膜又はA<sub>2</sub>合金膜からなる下部配線層を被覆する絶縁膜にビアホールを形成する工程と、

前記ビアホールを被覆して、第2の中間導電膜と、新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜とを順次形成する工程と、

前記新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜をエッチバックして前記ビアホールの側壁に前記新たなA<sub>2</sub>膜

又はA<sub>2</sub>合金膜を残存するとともに、前記ビアホール底部に第2の中間導電膜を残存する工程と、

前記ビアホールの側壁に残存するA<sub>2</sub>膜又はA<sub>2</sub>合金膜を加熱により熔融・流動し、前記ビアホールの底部を埋める工程と、

前記ビアホールを被覆してA<sub>2</sub>膜又はA<sub>2</sub>合金膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

### 3. 発明の詳細な説明

#### (目次)

- ・ 概要
- ・ 産業上の利用分野
- ・ 従来の技術 (第7図)
- ・ 発明が解決しようとする課題 (第4図、第5)
- ・ 課題を解決するための手段
- ・ 作用
- ・ 実施例 (第1図～第3図)
- ・ 発明の効果

ンタクトホールの底部を埋める工程と、前記コンタクトホールを被覆して新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜を形成する工程とを含み構成し、

第2に、A<sub>2</sub>膜又はA<sub>2</sub>合金膜からなる配線を被覆する絶縁膜にビアホールを形成する工程と、前記ビアホールを被覆して、第2の中間導電膜と、新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜とを順次形成する工程と、前記新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜をエッチバックして前記ビアホールの側壁に前記新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜を残存するとともに、前記ビアホール底部に第2の中間導電膜を残存する工程と、前記ビアホールの側壁に残存するA<sub>2</sub>膜又はA<sub>2</sub>合金膜を加熱により熔融・流動し、前記ビアホールの底部を埋める工程と、前記ビアホールを被覆してA<sub>2</sub>膜又はA<sub>2</sub>合金膜を形成する工程とを有することを含み構成する。

#### (産業上の利用分野)

本発明は、半導体装置の製造方法に関し、更に詳しく言えば、コンタクトホール又はビアホール

(概要)

半導体装置の製造方法に関し、更に詳しく言えば、コンタクトホール又はビアホールを被覆するA<sub>2</sub>膜やA<sub>2</sub>合金膜のステップカバレッジを改善する半導体装置の製造方法に関し、

微細化に対応でき、また半導体基板へのダメージの発生や、鬆の発生を防止して、ステップカバレッジを改善することができる半導体装置の製造方法を提供することを目的とし、

第1に、半導体基板上の絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールを被覆して半導体基板とのオーミック導電膜と、バリア導電膜を含む第1の中間導電膜と、A<sub>2</sub>膜又はA<sub>2</sub>合金膜とを順次形成する工程と、前記A<sub>2</sub>膜又はA<sub>2</sub>合金膜をエッチバックして前記コンタクトホールの側壁に前記A<sub>2</sub>膜又はA<sub>2</sub>合金膜を残存するとともに、前記コンタクトホールの底部に少なくとも前記バリア導電膜を残存する工程と、前記コンタクトホールの側壁に残存するA<sub>2</sub>膜又はA<sub>2</sub>合金膜を加熱により熔融・流動し、前記コ

を被覆するA<sub>2</sub>膜やA<sub>2</sub>合金膜のステップカバレッジを改善する半導体装置の製造方法に関する。

近年、ステップカバレッジの良いA<sub>2</sub>膜の形成が可能なCVD法によるA<sub>2</sub>膜の形成方法が注目を集めているが、いまのところ量産技術が未確立であり、CVDで容易に形成可能なポリシリコン膜等は、導電性不純物を導入してもなお格段に高抵抗であり、またマイグレーション等を防止するための添加物の混入が困難なため、依然としてスパッタ法によるA<sub>2</sub>膜の形成方法が製造ラインにおいて主流となっている。この場合、ステップカバレッジの更なる向上が望まれている。

#### (従来の技術)

従来、コンタクトホール又はビアホールを被覆するA<sub>2</sub>膜やA<sub>2</sub>合金膜のステップカバレッジを向上するため、

- ①半導体基板を温度500℃前後に加熱しながらA<sub>2</sub>膜やA<sub>2</sub>合金膜をスパッタすることによりA<sub>2</sub>膜やA<sub>2</sub>合金膜を熔融・流動させて平坦化を

図る方法

②半導体基板に負の電圧（-500V 程度）を印加しながらA<sub>2</sub>膜やA<sub>2</sub>合金膜をスパッタすることにより、A<sub>2</sub>膜やA<sub>2</sub>合金膜を形成しつつ形成されたA<sub>2</sub>膜やA<sub>2</sub>合金膜のスパッタも同時に行う方法

③又は半導体基板に負の電圧を印加し、かつ半導体基板を加熱しながらA<sub>2</sub>膜やA<sub>2</sub>合金膜を形成スパッタする、①及び②の両方の利点を生かしたバイアスパッタ法によりA<sub>2</sub>膜やA<sub>2</sub>合金膜を形成する方法

などがある。

〔発明が解決しようとする課題〕

しかし、上記の方法では、それぞれ次のような問題がある。このことについて、従来例の問題について説明した第4図をもとに説明する。即ち、①配線や電極に必要なかなり厚い膜厚のA<sub>2</sub>膜5を一度に形成する必要があるため、半導体基板1上の絶縁膜2に形成される開口部2aが微細化さ

とを目的とするものである。

〔課題を解決するための手段〕

上記課題は、第1に、半導体基板上の絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールを被覆してA<sub>2</sub>膜又はA<sub>2</sub>合金膜を形成する工程と、前記A<sub>2</sub>膜又はA<sub>2</sub>合金膜をエッチバックして前記コンタクトホールの側壁に前記A<sub>2</sub>膜又はA<sub>2</sub>合金膜を残存する工程と、前記コンタクトホールの側壁に残存するA<sub>2</sub>膜又はA<sub>2</sub>合金膜を加熱により溶融・流動し、コンタクトホールの底部を埋める工程と、前記コンタクトホールを被覆して新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜を形成する工程とを有する半導体装置の製造方法によって達成され、

第2に、半導体基板上の絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールを被覆して半導体基板とのオーミック導電膜と、バリア導電膜を含む第1の中間導電膜と、A<sub>2</sub>膜又はA<sub>2</sub>合金膜とを順次形成する工程と、前記A<sub>2</sub>

膜の場合、第4図に示すようにA<sub>2</sub>膜5の内部に膜6が残る場合がある。なお、図中符号3及び4はそれぞれ半導体基板1へのA<sub>2</sub>膜5の拡散防止のためA<sub>2</sub>膜5の下地に形成されたオーミック導電膜及びバリア導電膜である。

②また、形成されたA<sub>2</sub>膜をスパッタしながらA<sub>2</sub>膜を形成しているので、膜の形成防止については改善されるが、通常のスパッタ法以上に半導体基板にプラズマ粒子の衝突によるダメージを受けやすい。

この問題を解決するため、第5図に示すように、開口部2aの開口端の周辺部にテーパ7を設けてステップカバレッジを改善する方法があるが、開口部2aが広がるため半導体装置を微細化する場合に問題となる。

本発明は、かかる従来の問題点に鑑みてなされたもので、微細化に対応でき、また半導体基板にダメージを与えるのを防止するとともに、膜の発生を防止して、ステップカバレッジの改善を図ることができる半導体装置の製造方法を提供すること

膜又はA<sub>2</sub>合金膜をエッチバックして前記コンタクトホールの側壁に前記A<sub>2</sub>膜又はA<sub>2</sub>合金膜を残存するとともに、前記コンタクトホールの底部に少なくとも前記バリア導電膜を残存する工程と、前記コンタクトホールの側壁に残存するA<sub>2</sub>膜又はA<sub>2</sub>合金膜を加熱により溶融・流動し、前記コンタクトホールの底部を埋める工程と、前記コンタクトホールを被覆して新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜を形成する工程とを有する半導体装置の製造方法によって達成され、

第3に、A<sub>2</sub>膜又はA<sub>2</sub>合金膜からなる配線を被覆する絶縁膜にビアホールを形成する工程と、前記ビアホールを被覆して、第2の中間導電膜と、新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜とを順次形成する工程と、前記新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜をエッチバックして前記ビアホールの側壁に前記新たなA<sub>2</sub>膜又はA<sub>2</sub>合金膜を残存するとともに、前記ビアホールの底部に第2の中間導電膜を残存する工程と、前記ビアホールの側壁に残存するA<sub>2</sub>膜又はA<sub>2</sub>合金膜を加熱により溶融・流動し、前記ビ

アホールの底部を埋める工程と、前記ビアホールを被覆してA<sub>2</sub>膜又はA<sub>2</sub>合金膜を形成する工程とを有する半導体装置の製造方法によって達成される。

#### (作用)

本発明の半導体装置の製造方法によれば、コンタクトホールやビアホールの側壁にA<sub>2</sub>膜又はA<sub>2</sub>合金膜を残存し、このA<sub>2</sub>膜等を熔融・流動させてコンタクトホールやビアホールの底部を埋めているので、実質的なアスペクト比を低減することができる。このとき、コンタクトホールやビアホールの底部を埋めるA<sub>2</sub>膜の膜厚は、配線や電極に必要な膜厚にする必要がないので、コンタクトホールやビアホールの寸法に合わせて薄くすることが可能となり、熔融流動したA<sub>2</sub>膜の鬆の発生を防止することができる。また、埋め込まれたA<sub>2</sub>膜等の断面形状は、通常中央部が凹むような凹状になり、その結果、開口部の底部の角部が丸められたような形状となる。従って、更にこのコ

ンタクトホールやビアホールを被覆して新たな、例えば電極や配線となる厚い膜厚のA<sub>2</sub>膜を形成することにより、高アスペクト比で、更に底部に角のある開口部に生じやすい鬆の発生を防止してステップカバレッジの改善を図ることができる。

また、従来と異なり、開口部の開口端の周辺部にテーパーを設けなくてもよいので、微細化に対応できる。更に、半導体基板に負の電圧を印加し、A<sub>2</sub>膜をスパッタしながら形成する必要もないので、半導体基板がダメージを受けるのを防止することができる。

#### (実施例)

以下、図面を参照しながら本発明の実施例について説明する。

第1図(a)～(f)は、本発明の実施例のコンタクトホールを被覆するA<sub>2</sub>膜のステップカバレッジを改善することができる半導体装置の製造方法について説明する断面図である。

まず、p型のSi基板(半導体基板)8にn型拡

散層9を形成した後、Si基板8上に膜厚約1 $\mu$ m以上のSiO<sub>2</sub>膜(絶縁膜)10を形成する。なお、このn型の拡散層9は、例えば絶縁ゲート型電界効果トランジスタのS/D領域層として、或いは、バイポーラトランジスタのエミッタ領域層やベース領域層として用いることができる。

次いで、n型拡散層9に開口部(コンタクトホール)10aを形成した(第1図(a))後、スパッタ法により直流パワー500 W、アルゴン流量80SCCM、ガス圧2 $\times$ 10<sup>-2</sup> Torrの条件で、この開口部10aを被覆してSi基板8とのオーミックコンタクトを得るための膜厚約200 ÅのTi膜(オーミック導電膜)11を形成する。続いて、同一のチャンバ内に窒素ガスを導入し、直流パワー5 kW、アルゴン流量20SCCM、窒素流量80SCCM、ガス圧2.5 $\times$ 10<sup>-2</sup> Torrの条件で、後に形成されるA<sub>2</sub>膜のSi基板8への拡散を防止するためのバリア層として、Ti膜11の上に膜厚約1000 ÅのTiN膜(バリア導電膜; 第1の中間導電膜)12を形成する。更に、真空を破らないでコンタクトホール10aの底部に埋め込む

ためのA<sub>2</sub>膜を形成するために、スパッタのターゲットをA<sub>2</sub>に交換する。次いで、直流パワー9 kW、アルゴン流量80SCCM、ガス圧4 $\times$ 10<sup>-2</sup> Torrの条件で、TiN膜12の上に膜厚約1000 ÅのA<sub>2</sub>膜13を形成する。このとき、鬆の発生を防止するため、A<sub>2</sub>膜13の膜厚はコンタクトホール10aの寸法に合わせて薄くすることができる(同図(c))。なお、TiN膜12とA<sub>2</sub>膜13との一層良いコンタクトを得るためにTiN膜12とA<sub>2</sub>膜13との間に新たなTi膜を挟んでもよい。この場合、TiN膜12と新たなTi膜とが第1の中間導電膜を構成する。

次に、同図(d)に示すように、バリア導電膜としてのTiN膜12が残存するように、A<sub>2</sub>膜13をエッチバックし、開口部10aの側壁にのみA<sub>2</sub>膜13aを残存する。

次いで、大気に触れさせずに熱処理室に移動し、温度500～550℃の条件で、60秒間熱処理し、A<sub>2</sub>膜13aを熔融・流動させる。その結果、同図(e)に示すように、開口部10aの側壁から底部

にかけて膜厚が漸減する、断面が凹状のA膜13bが埋め込まれる。埋め込まれたA膜13bの高さは開口部10aの寸法にもよる。また、埋め込まれたA膜13bは側壁との表面張力により中央部が凹むような形状となる。

次に、開口部10aを被覆して膜厚約5000Åの新たなA膜14を形成する。このとき、開口部10aの底部に埋め込まれたA膜13bにより、実質的なアスペクト比が低減しており、かつ開口部10a底部の断面が凹状になっており、角部が丸められているので、新たなA膜14の形成の際、懸の発生を防止してステップカバレッジの改善を図ることができる。

次に、A膜14及び残存するTiN膜12、Ti膜11を順次パターンニングして電極を形成すると、半導体装置が完成する(同図(f))。

以上のように、本発明の実施例の製造方法によれば、開口部10aの底部を埋めるA膜13の膜厚は、配線や電極に必要な膜厚にする必要がないので、開口部10aの寸法に合わせて薄くする

してのTiN膜12や、Si基板8とのコンタクトの改善のためのTi膜11を形成せずにSi基板8上に直接A膜22を形成することもできる。

また、Si基板8としてp型のSi基板8を用いているが、n型のSi基板に形成された高濃度のp型拡散層上のコンタクトホールに対しても本発明を適用することができる。

更に、埋め込み用及び電極形成用の金属としてA膜13、14を用いているが、銅やSiなどを含有し、A膜を主成分とするA合金膜を用いてもよい。

また、実施例ではコンタクトホールに本発明を適用しているが、第2図に示すように、A膜やA合金膜からなる下部配線層16等上のビアホール17aにも本発明を適用することができる。このような下部配線層16がA膜16の場合には埋め込み用のA膜19のエッチバックの際に下部のA膜16をエッチングしないため耐エッチング性を有する高融点金属膜やTiN膜等の第2の中間導電膜18を形成することが望ましい。

ことが可能となり、溶融流動したA膜13bの懸の発生を防止することができる。更に、開口部10aの底部に埋め込まれたA膜13bにより、実質的なアスペクト比が低減しており、かつ開口部10a底部の角部が丸められているので、新たなA膜14の形成の際、懸の発生を防止してステップカバレッジの改善を図ることができる。

また、従来と異なり、開口部10aの開口端の周辺部にテーパを設けなくてもよいので、微細化に対応できる。更に、Si基板8に負の電圧を印加し、A膜をスパッタしながら形成する必要もないので、Si基板8がダメージを受けるのを防止することができる。従って、半導体装置の特性や信頼度の向上を図ることができる。

なお、実施例では、高濃度のn型拡散層9上にSiO<sub>2</sub>膜(絶縁膜)10の開口部10aを形成しているが、第3図に示すように、高濃度のp型拡散層20上にSiO<sub>2</sub>膜(絶縁膜)21の開口部21aを形成することもできる。この場合には、実施例のようなpn接合が存在しないので、バリア導電膜と

#### (発明の効果)

以上のように、本発明の半導体装置の製造方法によれば、溶融・流動によりコンタクトホールやビアホールの底部にA膜を埋めているので、実質的なアスペクト比を低減することができ、従って、このコンタクトホールやビアホールを被覆して、例えば電極や配線となる厚い膜厚の新たなA膜を形成することにより、懸の発生を防止してステップカバレッジの改善を図ることができる。また、従来と異なり、開口部の開口端の周辺部にテーパを設けなくてもよいので、微細化に対応できる。更に、バイアススパッタ法等により配線や電極を形成する必要もないので、半導体基板がダメージを受けるのを防止することができ、半導体装置の特性や信頼度の向上を図ることができる。

#### 4. 図面の簡単な説明

第1図は、本発明の第1の実施例の半導体装置の製造方法について説明する断面図、

第2図は、本発明の第2の実施例の半導体装置の製造方法について説明する断面図、

第3図は、本発明の第3の実施例の半導体装置の製造方法について説明する断面図、

第4図は、従来例の問題点について説明する断面図、

第5図は、他の従来例の問題点について説明する断面図である。

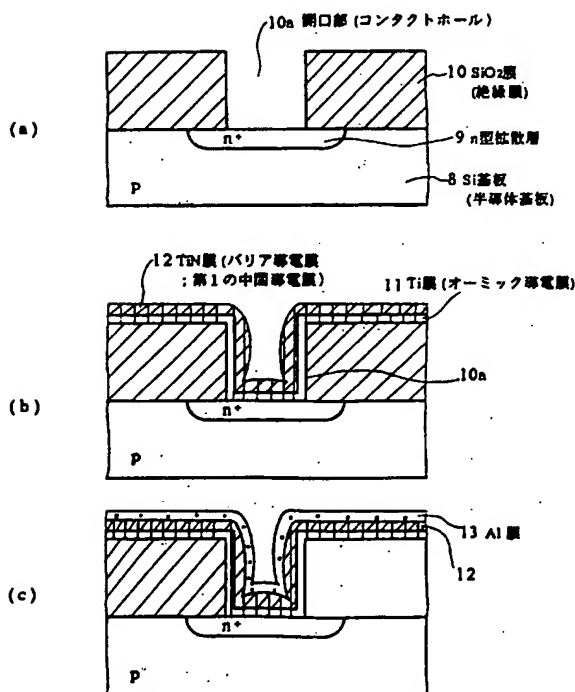
(符号の説明)

- 1 … 半導体基板、
- 2 … 絶縁膜、
- 2 a … 開口部、
- 3 … オーミック導電膜、
- 4 … バリア導電膜、
- 5, 13, 13 a, 13 b, 14, 19, 22 … Al 膜、
- 6 … 鋳、
- 7 … テーパ、
- 8 … Si 基板 (半導体基板)、
- 9 … n 型拡散層、
- 10, 17, 21 … SiO<sub>2</sub> 膜 (絶縁膜)、
- 10 a, 21 a … 開口部 (コンタクトホール)、

- 11 … Ti 膜 (オーミック導電膜)、
- 12 … TiN 膜 (バリア導電膜; 第1の中間導電膜)、
- 15 … SiO<sub>2</sub> 膜、
- 16 … Al 膜 (下部配線層)、
- 17 a … 開口部 (ビアホール)、
- 18 … 第2の中間導電膜、
- 20 … p 型拡散層。

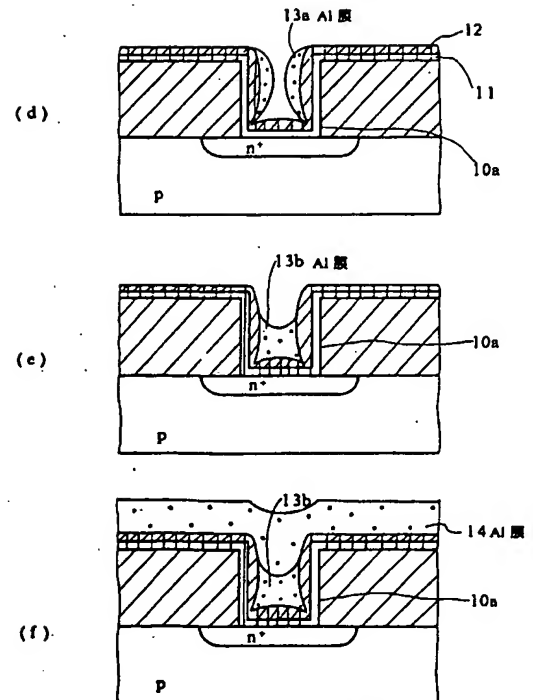
特許出願人 富士通株式会社

代理人 弁理士 岡本啓三



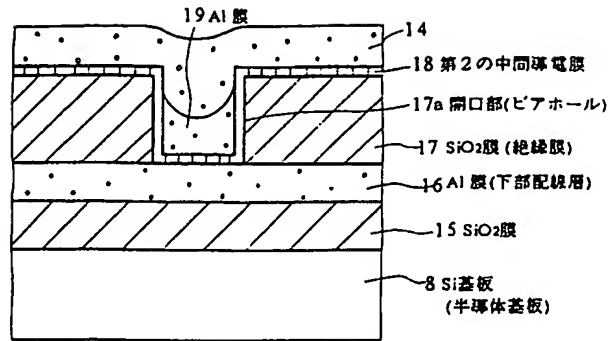
本発明の第1の実施例の半導体装置の製造方法について説明する断面図

第1図 (その1)



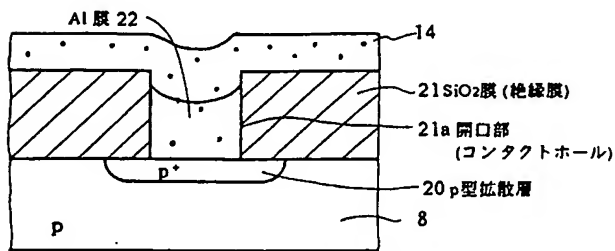
本発明の第1の実施例の半導体装置の製造方法について説明する断面図

第1図 (その2)



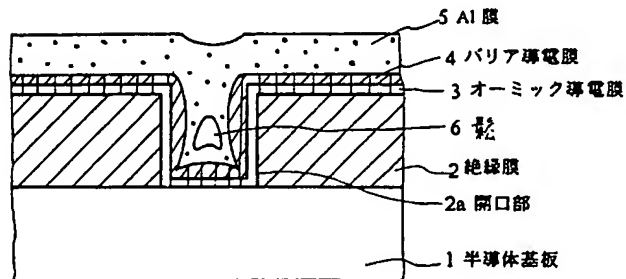
本発明の第2の実施例の半導体装置の製造方法について説明する断面図

第 2 図



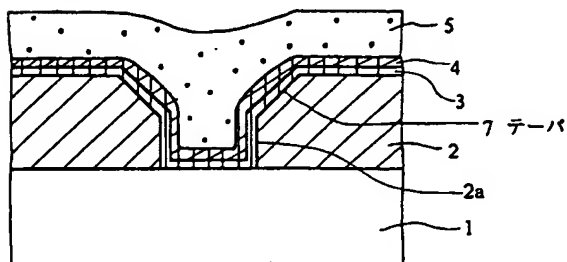
本発明の第3の実施例の半導体装置の製造方法について説明する断面図

第 3 図



従来例の問題点について説明する断面図

第 4 図



他の従来例の問題点について説明する断面図

第 5 図